

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-260517

(43)Date of publication of application : 17.10.1989

(51)Int.Cl. G06F 1/04

G06F 15/06

(21)Application number : 63-090512 (71)Applicant : NEC CORP

(22)Date of filing : 12.04.1988 (72)Inventor : YOSHIZAWA KAZUTOSHI

(54) MICROCOMPUTER

(57)Abstract:

PURPOSE: To reduce mean power consumption as a whole by switching the operating clock of a CPU automatically at the time of generating an interruption processing based on information set in advance corresponding to an interruption factor when interruption is generated.

CONSTITUTION: When an interruption signal is inputted to an interruption controller 6, the content of a CPU clock designation register 7 is saved in a RAM10 via an internal bus 9. Also, by outputting a register selection signal to represent which interruption of the interruption signals (aWd) by the interruption controller 6, a register selector 13 selects register output corresponding to an interruption correspondence clock designation register 12, and outputs it to the CPU clock designation register 7. In such a way, since a clock source is switched to a specific clock source out of plural clock sources corresponding to the interruption factor when the interruption is generated it is supplied to the CPU as a CPU clock, it is possible to change operating speed corresponding to a targeted processing, thereby, to reduce the mean power consumption as a whole.

LEGAL STATUS [Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平1-260517

(43) 公開日 平成1年(1989)10月17日

(51) Int. Cl. ⁵
G 0 6 F 1/04
15/06 3 2 0

F I

審査請求 有 請求項の数 1 (全 6 頁) (8)

(21) 出願番号 特願昭63-90512

(71) 出願人 000000423
日本電気株式会社
東京

(22) 出願日 昭和63年(1988)4月12日

(72) 発明者 吉澤 和俊
*

(54) 【発明の名称】マイクロコンピュータ

(57) 【要約】

【目的】各割込処理時の動作スピードを容易に、しかもリアルタイムに設定できるマイクロコンピュータを提供する

【効果】特に遅い動作スピードで動作中に高速処理を要する割込が発生した場合にも命令により動作スピードを変更するのに比べリアルタイムに変更できるため、目的の処理に応じて動作スピードを変えることができ、マイクロコンピュータ全体の平均消費電力を低減することができる

【産業上の利用分野】C P Uのクロックソース信号として複数のクロック信号から選択可能なマイクロコンピュータに関する

【特許請求の範囲】

請求の範囲テキストはありません。

【発明の詳細な説明】

詳細な説明テキストはありません。

【図面の簡単な説明】

図面の簡単な説明テキストはありません。

⑯日本国特許庁(JP)

⑪特許出願公開

⑫公開特許公報(A) 平1-260517

⑬Int.Cl. 4

G 06 F 1/04
15/06

識別記号

3 2 0

府内整理番号

7459-5B
P-7343-5B

⑬公開 平成1年(1989)10月17日

審査請求 未請求 請求項の数 1 (全6頁)

⑭発明の名称 マイクロコンピュータ

⑮特 願 昭63-90512

⑯出 願 昭63(1988)4月12日

⑰発明者 吉澤和俊 東京都港区芝5丁目33番1号 日本電気株式会社内

⑰出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑰代理人 弁理士内原晋

明細書

1. 発明の名称

マイクロコンピュータ

2. 特許請求の範囲

マイクロコンピュータにおいて、複数のクロックソースと、内部又は外部割込が発生した場合に割込要因に応じて前記複数のクロックソースの中から特定のクロックソースに切換えてCPUクロックとしてCPUへ供給する選択切換手段を具備することを特徴とするマイクロコンピュータ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はマイクロコンピュータに関し、特にCPUのクロックソース信号として複数のクロック信号から選択可能なマイクロコンピュータに関するもの。

〔従来の技術〕

マイクロコンピュータは民生分野、産業分野等さまざまな分野で応用されているが、これらの応用分野によりマイクロコンピュータに要求される処理速度や消費電力といった性能もさまざまである。更にある一つのシステムにおいてもマイクロコンピュータが制御する内容は多種多様である。例えばカメラへの応用では低消費電力であることが絶対条件であるが、メカコントロール時は高速処理を必要とし電力消費が増大する。一方、非撮影時におけるスイッチやボタン押下の検出、日付表示等は高速処理を必要としない。従ってメカコントロール時とそうでない場合とで処理速度を変えて平均の消費電力をできる限り低くすれば、電池やバッテリーの寿命を長くする上で非常に有効である。

これらの速度や電力といった問題はマイクロコンピュータの動作クロックに依存するもので、処理内容に応じて動作クロックを変更できることは重要である。

ここで、従来のマイクロコンピュータでは発振

特開平1-260517(2)

回路の信号や外部からの入力クロックをそのまま、あるいは分周して動作クロックを発生しており、通常は発振回路に接続する発振子の周波数を変えるか、外部入力クロックの周波数を変えない限り動作速度を変えることはできず、処理内容に応じて速度を変えることは不可能である。

一方、近年では日本電気製マイクロコンピュータ PDC7519 のよう CPU の動作速度を切替える為のモードレジスタを内蔵し、発振回路出力あるいは外部入力クロックを分周する分周回路の異なる分周段出力の中から 1 つの分周出力を命令操作により選択して CPU の動作クロックを変更できるマイクロコンピュータも登場している。

〔発明が解決しようとする課題〕

前者の場合は動作速度の切替ができないため、マイクロコンピュータのさまざまな処理内容のうち、最も高速動作を要する処理が目的通り達成できるような発振周波数あるいは外部入力クロック周波数を設定せざるをえず、それ故、動作電源電圧範囲が 5 V 付近に限定されるため、マイクロコ

3

の中から特定のクロックソースに切換えて CPU クロックとして CPU へ供給する選択切換手段を有している。

〔実施例〕

次に本発明について図面を参照して説明する。

第 1 図は本発明の第 1 の実施例を示す図で、14 ビットのプログラムカウンタ 1 と、前記プログラムカウンタ 1 でアクセスされる 16 Kbyte のプログラムメモリ (以下 ROM と呼ぶ) 2 と、ROM 2 から読み出された命令を解説して各種制御信号を発生する命令デコード 3 と、マイクロコンピュータ全体のクロックソースを供給する発振回路 4 と、前記発振回路出力を分周し、4 種類の分周クロックを出力する分周回路 5 と、内部又は外部割込発生時の割込信号 a ～割込信号 d の入力に基き割込動作を制御する割込コントローラ 6 と、CPU 動作クロックを指定するための 2 ビット構成の CPU クロック指定レジスタ 7 と、CPU クロック指定レジスタ 7 の内容に基き前記分周回路 5 の 4 種類の出力クロックのうち 1 つを選択して

- 5 -

-102-

ンピュータの応用範囲が狭くなるという欠点があり、また全体の平均消費電力が大きくなるという欠点がある。

一方、後者の場合、命令操作でスピードを切替えることができるため、低速処理のモードに設定することにより、低電源電圧での動作が可能となり麻痺範囲は広がるが、命令操作で変更するためには低速動作中に高速処理が必要な割込みが発生した場合にも、割込み処理で最初に実行する動作速度を変更する命令が終了するまでの間は、以前の低速動作を継続するため、割込み処理にはいるまでの応答速度が遅くなるという欠点を有している。特にこの応答速度が問題になるようなアプリケーションでは結局通常の動作時も高速動作モードにしておかざるを得ないという欠点があり、やはり平均消費電力が大きくなってしまう。

〔課題を解決するための手段〕

本発明のマイクロコンピュータは、複数のクロックソースと、内部又は外部割込が発生した場合に割込要因に応じて前記複数のクロックソース

- 4 -

第 1 図には図示していない CPU の各部に対し CPU クロックを供給するクロックセレクタ 8 と、内部バス 9 と、処理されるデータを記憶するデータメモリ (以下 RAM と呼ぶ) 10 及び割込発生時及び割込からの復帰時にプログラムカウンタ 1 及び CPU クロック指定レジスタ 7 の内容を RAM 10 に退避復帰する際のデータポインクとなるスタックポインク 11 とから構成される。

クロックセレクタ 8 は、CPU クロック指定レジスタ 7 の出力が 00 のとき $s_1, s_0 = 1, 0$ のとき $s_1 = 0, s_0 = 1$ のとき $s_1 = 1, s_0 = 0$ のとき $s_1 = 1, s_0 = 1$ のとき $s_1 = 0, s_0 = 0$ を選択する。

第 2 図は、ROM 2 の一部領域に割当てられている割込ベクターテーブルの内容を説明するための図である。前記割込信号 a ～割込信号 d に対応して割込ベクターテーブル a ～割込ベクターテーブル d があり、それぞれ 2 バイト構成となっており、0010H ～ 0017H (H は 16 進数表現を示す) のアドレスが割付けられている。各割込ベクターテーブルの内容は、2 バイト即ち 16

- 6 -

特開平1-260517(3)

ビットのうち14ビットを各割込み処理のスタートアドレスとして割当て、残り2ビットをCPUクロック指定ビットとして割当てる。従って4種類のCPUクロックを指定することができる。

次に第1図及び第2図により更に詳しく説明する。マイクロコンピュータの初期状態、即ちリセット信号入力時はCPUクロック指定レジスタはリセット信号により00にクリアされ、最も遅いクロック $f_s/16$ を選択してCPUクロックとして出力する。例えば発振回路出力 f_s が4MHzとすると $f_s/16 = 250\text{KHz}$ となる。CPUが $f_s/16$ のクロックにもとづき動作しているときに、割込みが発生して割込信号 a として割込コントローラ6に入力されると、割込コントローラ6からの信号によりCPUクロック指定レジスタ7の現在の内容がスタックポインタ11でアドレッシングROM10内に内部バス9を介して退避される。この時、プログラムカウンタ1の内容もRAM10に退避される。更に割込コントローラ6は割込信号 a に対応した割込ベクターアドレス

- 7 -

バス9を介してプログラムカウンタ1に復帰するとともに旧CPUクロック指定レジスタ内容がCPUクロックレジスタ7に内部バス9を介して復帰し、割込前のクロックソース信号がCPUクロックとして供給される。

割込信号 $b \sim d$ が発生して、対応する割込処理を実行する場合にも割込信号 a の場合と同様に各割込ベクターテーブル内にあらかじめROMデータとして書込んでおいたクロック指定ビット2ビット内容がCPUクロック指定レジスタ7に転送され、これに基づき分周回路5の出力のうち1つをクロックセレクタ7で選択してCPUクロックとして供給する。従って各割込処理は割込ベクターテーブルで指定したCPUクロックによる動作速度で動作し、割込からの復帰命令実行後には割込前のCPUクロックに復帰して動作することになる。

尚、本実施例では割込ベクターテーブルに格納するCPUクロック指定ビットを2ビットとしているがこれに限定されることはもちろんであ

を発生し、内部バス9を介してプログラムカウンタ1に転送する。プログラムカウンタ1により割込ベクターテーブル a がアドレッシングされると割込 a スタートアドレス14ビットが内部バス9に、クロック指定2ビットCL11, CL10の内容がCPUクロック指定レジスタ7にそれぞれ転送され、割込 a スタートアドレスはプログラムカウンタ1に取込まれ、クロック指定2ビットはCPUクロック指定レジスタ7に取込まれ、割込コントローラからの信号によりレジスタ内容をクロックセレクタ8に出力する。CPUクロック指定レジスタ7の内容が今11とすると、クロックセレクタ8は分周回路5の出力のうち $f_s/2$ を選択しCPUクロックとして出力する。以降、CPUは割込 a スタートアドレスから割込信号 a に対応した割込処理ルーチンを、クロックセレクタ8で選択したCPUクロックに基き動作する。前記割込信号 a に対応した割込処理ルーチンの最後で割込復帰命令を実行すると、RAM10から退避していた旧プログラムカウンタの内容が内訳

- 8 -

る。CPUクロックの種類及びプログラムメモリのワード長に応じて決定すれば良い。また、分周回路5は必ずしも必要でなく、発振周波数の異なる2系統の発振回路を内蔵し、それらの出力を選択するようなマイコンにも適用できる。

更に、リセット入力用の割込ベクターテーブルを内蔵してリセット後の動作速度を自動的に設定するようにもできる。

実施例1はROMに記憶する値によりクロックソース信号を選択していたが、同じ割込信号であってもその時の動作状態に応じて処理速度を変えたい場合がある。このような動作が可能な第2の実施例を第3図に示して以下説明する。

第1図と同番号で示した部分は同一機能を有するので説明は省略する。ROM2は第1実施例と同じであるが、第2図の割込ベクターテーブル $a \sim d$ に相当する領域にはCPUクロック指定情報は含まず16ビット全てをプログラムアドレス情報としている。割込対応クロック指定レジスタ12は、割込信号 $a \sim d$ に対応して井1～井4の

- 9 -

-103-

- 10 -

特開平1-260517(4)

各2ビットレジスタより構成され、内部バス9を介して命令操作によりそれぞれ割込信号a～dに対応したCPUクロックを指定するための情報を書き込むことができる。

割込コントローラ6に割込信号1が入力されると第1実施例と同様に割込コントローラ6からの信号により現在のCPUクロック指定レジスタ7の内容が内部バス9を介してRAM10に退避される。また割込コントローラ6が割込信号a～dのどの割込かを示すレジスタ選択信号を出力することによりレジスタセレクタ13は割込対応クロック指定レジスタ12の対応するレジスタ出力をセレクトしてCPUクロック指定レジスタ7に出力する。割込みからの復帰命令実行時は第1実施例と同様にRAM10から旧CPUクロック指定レジスタ内容が復帰する。

〔発明の効果〕

以上説明したように、本発明は、割込みが発生した場合に、割込要因に対応してあらかじめ設定しておいた情報に基き割込処理時のCPUの動作

クロックを自動的に切替えることにより、各割込処理時の動作スピードを容易に、しかもリアルタイムに設定できる。特に遅い動作スピードで動作中に高速処理を要する割込が発生した場合にも命令により動作スピードを変更するのに比べリアルタイムに変更できるため、目的の処理に応じて動作スピードを変えることができ、マイクロコンピュータ全体の平均消費電力を低減するという効果もある。

4. 図面の簡単な説明

第1図は本発明の第1の実施例のブロック図、第2図はプログラムメモリ中の割込みベクターテーブルを示す図、第3図は第2の実施例のブロック図である。

1……プログラムカウンタ、2……プログラムメモリ、3……命令デコーダ、4……発振回路、5……分周回路、6……割込コントローラ、7……CPUクロック指定レジスタ、8……クロックセレクタ、9……内部バス、10……RAM、11

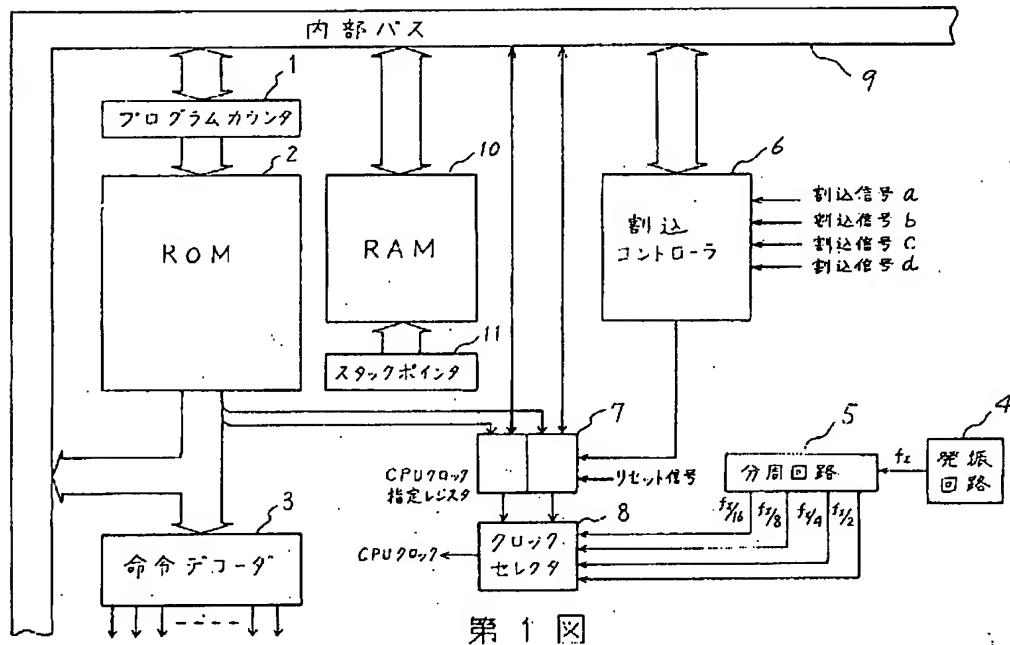
- 11 -

- 12 -

……スタックポインタ、12……割込対応クロック指定レジスタ、13……レジスタセレクタ。

代理人弁理士内原晋

特開平 1-260517(5)



アドレス				
0010H	CL11 CL10	割込 a スタートアドレス(上位 6 ビット)		割込ベクターテーブル a
		” (下位 8 ビット)		
0011H				
0012H	CL21 CL20	割込 b スタートアドレス(上位 6 ビット)		割込ベクターテーブル b
		” (下位 8 ビット)		
0013H				
0014H	CL31 CL30	割込 c スタートアドレス(上位 6 ビット)		割込ベクターテーブル c
		” (下位 8 ビット)		
0015H				
0016H	CL41 CL40	割込 d スタートアドレス(上位 6 ビット)		割込ベクターテーブル d
		” (下位 8 ビット)		
0017H				

第 2 図

特開平 1 260517(6)

